



Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM

(to be used for all correspondence after initial filing)

		Application Number	10/751,175
		Filing Date	12/30/2003
		First Named Inventor	Nyeon-Sik JEONG
		Art Unit	
		Examiner Name	
Total Number of Pages in This Submission	14	Attorney Docket Number	PIA31179/DBE/US

ENCLOSURES (Check all that apply)

<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s)		
<input type="checkbox"/> Extension of Time Request		
<input type="checkbox"/> Express Abandonment Request		
<input type="checkbox"/> Information Disclosure Statement		
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)		
<input type="checkbox"/> Response to Missing Parts/ Incomplete Application		
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600
Signature	
Date	January 27, 2004

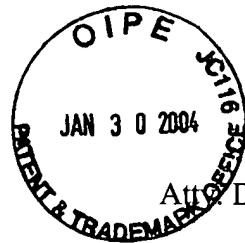
CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.

Typed or printed name	Andrew D. Fortney, Ph.D.
Signature	
	Date
	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Attn: Docket No. PIA31179/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

Nyeon-Sik JEONG : GROUP ART UNIT:

SERIAL NO: 10/751,175 :

FILED: December 30, 2003 : EXAMINER:

FOR: Semiconductor Package with a Heat Spreader

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By: Ad D J
Andrew D. Fortney, Ph.D.

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086410	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,

Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0086410
Application Number

출 원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

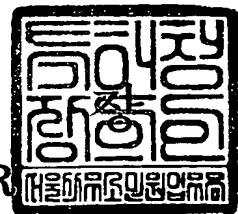
출 원 인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 30 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청 장
【참조번호】	0088
【제출일자】	2002. 12. 30
【발명의 명칭】	열발산형 반도체 패키지 구조
【발명의 영문명칭】	HEAT SPREADING TYPE PACKAGE STRUCTURE
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-059722-7
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-059725-9
【발명자】	
【성명의 국문표기】	정년식
【성명의 영문표기】	JEONG,nyeon-sik
【주민등록번호】	710512-1538217
【우편번호】	361-270
【주소】	충청북도 청주시 흥덕구 복대동 2807
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	9 면 29,000 원
【가산출원료】	0 면 0 원

1020020086410

출력 일자: 2003/11/6

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

열발산형 반도체 패키지 구조(heat spreading type package structure)를 개시한다.

반도체를 사용하는 제품들의 소형화와 기능의 다양화로 인해 고기능성의 패키지가 요구되고 있으며, 그에 따라 패키지의 크기도 점차 커지고 있는 추세이다. 본 발명은 패키지 성능에 대한 상대적인 패키지 크기를 줄이면서도, 패키지 내부에서 발생하는 열을 효율적으로 발산시키는 구조적인 기술을 구현하기 위함이다.

이를 위하여 본 발명에서는, 반도체 칩이 로딩되는 패키지 구조에 있어서, 제 1 칩과 범핑(bumping)되는 상부 PCB와; 제 2 칩과 범핑되는 하부 PCB와; 제 1 칩 및 제 2 칩으로부터 발생되는 열을 외부로 방출하는 히트 스프레더와; 제 1 칩 및 제 2 칩과 히트 스프레더를 상호 연결함으로써, 제 1 칩 및 제 2 칩으로부터 발생되는 열을 히트 스프레더로 전달하는 디스크 스프링(disk spring)으로 이루어진 열발산형 반도체 패키지 구조를 제공한다.

【대표도】

도 1

【명세서】

【발명의 명칭】

열발산형 반도체 패키지 구조{HEAT SPREADING TYPE PACKAGE STRUCTURE}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 열발산형 반도체 패키지 구조의 구성도,

도 2는 본 발명의 다른 실시예에 따른 열발산형 반도체 패키지 구조의 구성도.

〈도면의 주요 부분에 대한 부호의 설명〉

10 : PCB 11 : 상부 칩

12 : 하부 칩 13 : 볼

14 : 히트 스프레더 15 : 디스크 스프링

16 : 리드 프레임 17 : 리드

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 패키지 구조에 관한 것으로, 특히, 동일한 크기로 고성능을 구현하고, 패키지 내부에서 발생되는 열을 효율적으로 발산시키는데 적합한 열발산형 반도체 패키지 구조에 관한 것이다.

<9> 통상의 패키지, 예를 들어, 플라스틱 타입 패키지나 BGA 타입 패키지에는 모두가 하나의 제품에 하나의 칩이 연결 및 형성되며, 패키지로서의 기능을 향상시키기 위해 그 크기를 늘릴 필요가 있다.

<10> 패키지의 크기가 커짐에 따라서 여러 가지 문제들이 발생되었는데, 대표적으로 공간 활용 문제와 열발산 문제를 들 수 있다.

<11> 패키지에서의 열발산은 패키지 내부의 히트 스프레더(heat spreader)를 이용하는데, 맷은 철판 구조의 히트 스프레더를 사용하여 칩에서 발생하는 열을 외부로 방출하는 바, 이러한 히트 스프레더만으로는 다양한 기능을 수행하는 칩에서 발생되는 열을 외부로 충분히 발산시키지 못할 수 있다.

<12> 또한, 종래의 패키지 구조에서는 모두가 하나의 제품에 하나의 칩이 로딩/loading)되어 패키지 크기가 커질 수밖에 없다.

<13> 결론적으로, 종래의 패키지 구조에서는, 한정된 크기로 인해 패키지의 다양한 기능을 제대로 수용하지 못할 뿐만 아니라, 효율적인 열발산이 이루어질 수 없다는 문제가 있었다.

【발명이 이루고자 하는 기술적 과제】

<14> 본 발명은 상술한 종래 기술의 문제를 해결하기 위해 안출한 것으로, 패키지 상/하부에 칩을 각각 로딩할 수 있으며, 상/하부 칩과 히트 스프레더를 연결하는 디스크 스프링(disk spring)을 구현함으로써, 패키지 공간 활용과 열발산 효율을 극대화하도록 한 열발산형 반도체 패키지 구조를 제공하는데 그 목적이 있다.

<15> 이러한 목적을 달성하기 위한 본 발명의 일 실시예에 따르면, 반도체 칩이 로딩되는 패키지 구조에 있어서, 제 1 칩과 범핑(bumping)되는 상부 PCB와; 제 2 칩과 범핑되는 하부 PCB 와; 제 1 칩 및 제 2 칩으로부터 발생되는 열을 외부로 방

출하는 히트 스프레더와; 제 1 칩 및 제 2 칩과 히트 스프레더를 상호 연결함으로써, 제 1 칩 및 제 2 칩으로부터 발생되는 열을 히트 스프레더로 전달하는 디스크 스프링으로 이루어진 열발산형 반도체 패키지 구조를 제공한다.

<16> 본 발명의 목적을 달성하기 위한 다른 실시예에 따르면, 반도체 칩이 로딩되는 패키지 구조에 있어서, 제 1 칩과 와이어 본딩(wire bonding)되는 리드 프레임과; 제 2 칩과 범핑되는 하부 PCB와; 제 1 칩 및 제 2 칩으로부터 발생되는 열을 외부로 방출하는 히트 스프레더와; 제 1 칩 및 제 2 칩과 히트 스프레더를 상호 연결함으로써, 제 1 칩 및 제 2 칩으로부터 발생되는 열을 히트 스프레더로 전달하는 디스크 스프링으로 이루어진 열발산형 반도체 패키지 구조를 제공한다.

【발명의 구성 및 작용】

<17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.

<18> 도 1은 본 발명의 바람직한 일 실시예에 따른 열발산형 반도체 패키지 구조로서, 상/하부 PCB(10), 볼(13), 히트 스프레더(14), 디스크 스프링(15)로 각각 이루어진다.

<19> 도 1에 도시한 바와 같이, PCB(10)는 상부와 하부로 나뉘어져 있으며, 상부 PCB는 상부 칩(11)과 범핑, 예컨대, 골드 범핑(gold bumping)되고 하부 PCB는 하부 칩(12)과 범핑된다.

<20> 히트 스프레더(14)는 이러한 상부 칩(11)과 하부 칩(12)으로부터 발생되는 열을 외부로 방출하는 기능을 수행한다.

<21> 본 실시예에 따른 디스크 스프링(15)은 상부 칩(11) 및 하부 칩(12)과 히트 스프레더(14)를 상호 연결함으로써, 상부 칩(11) 및 하부 칩(12)으로부터 발생되는 열을 히트 스프레더(14)로 전달하는 역할을 수행한다.



<22> 이러한 디스크 스프링(15)은, 예컨대, 금속성 탄성체로 이루어질 수 있으며, 상술한 상부 칩(11)과 하부 칩(12)간에 캡을 형성하도록 굴곡 형태로 구현되는 것을 특징으로 한다.

<23> 이때, 이러한 캡과 패키지 구조의 나머지 공간은 EMC(Epoxy Mold Compound)로 충진된다. 이러한 EMC를 통해서도 상/하부 칩(11)(12)으로부터 발생되는 열이 히트 스프레더(14)로 전달될 수 있을 것이다.

<24> 도 2는 본 발명의 다른 실시예에 따른 열발산형 반도체 패키지 구조로서, PCB(10), 볼(13), 히트 스프레더(14), 디스크 스프링(15), 리드 프레임(16)으로 각각 이루어진다.

<25> 도 2에 도시한 바와 같이, PCB(10)는 하부 칩(12)과 골드 범핑되며, 리드 프레임(16)은 상부 칩(11)과 와이어 본딩된다.

<26> 히트 스프레더(14)는 이러한 상부 칩(11)과 하부 칩(12)으로부터 발생되는 열을 외부로 방출하는 기능을 수행한다.

<27> 디스크 스프링(15)은 상부 칩(11) 및 하부 칩(12)과 히트 스프레더(14)를 상호 연결함으로써, 상부 칩(11) 및 하부 칩(12)으로부터 발생되는 열을 히트 스프레더(14)로 전달하는 역할을 수행한다.

<28> 이러한 디스크 스프링(15)은 금속성 탄성체로 이루어질 수 있으며, 상술한 상부 칩(11)과 하부 칩(12)간에 캡을 형성하도록 굴곡 형태로 구현된다.

<29> 이때, 이러한 캡과 패키지 구조의 나머지 공간은 도 1의 실시예와 마찬가지로 열전달을 위한 EMC(Epoxy Mold Compound)로 충진될 수 있다.



1020020086410

출력 일자: 2003/11/6

【발명의 효과】

<30> 따라서, 본 발명은 동일한 크기의 패키지로 제품 기능을 극대화할 수 있으며, 패키지에서 발생되는 열을 효율적으로 발산시킴으로써 제품 수명을 연장시킬 수 있는 효과가 있다.

<31> 이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위내에서 여러 가지 변형이 가능한 것은 물론이다.

【특허청구범위】**【청구항 1】**

반도체 칩이 로딩/loading)되는 패키지 구조에 있어서,

제 1 칩과 범핑(bumping)되는 상부 PCB와;

제 2 칩과 범핑되는 하부 PCB와;

상기 제 1 칩 및 제 2 칩으로부터 발생되는 열을 외부로 방출하는 히트 스프레더(heat spreader)와;

상기 제 1 칩 및 제 2 칩과 상기 히트 스프레더를 상호 연결함으로써, 상기 제 1 칩 및 제 2 칩으로부터 발생되는 열을 상기 히트 스프레더로 전달하는 디스크 스프링(disk spring)으로 이루어진 열발산형 반도체 패키지 구조.

【청구항 2】

제 1 항에 있어서,

상기 디스크 스프링은 상기 제 1 칩과 상기 제 2 칩간에 갭(gap)을 형성하도록 굴곡 형태로 구현되는 것을 특징으로 하는 열발산형 반도체 패키지 구조.

【청구항 3】

제 2 항에 있어서,

상기 갭 및 상기 패키지 구조의 나머지 공간은 EMC(Epoxy Mold Compound)로 충진되는 것을 특징으로 하는 열발산형 반도체 패키지 구조.

【청구항 4】

반도체 칩이 로딩되는 패키지 구조에 있어서,

제 1 칩과 와이어 본딩(wire bonding)되는 리드 프레임과;

제 2 칩과 범핑되는 하부 PCB와;

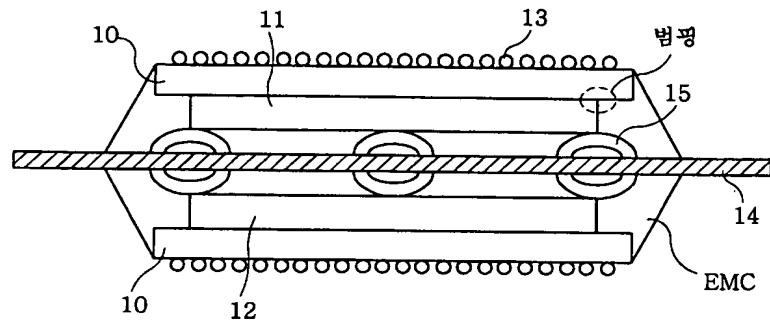
상기 제 1 칩 및 제 2 칩으로부터 발생되는 열을 외부로 방출하는 히트 스프레더와;

상기 제 1 칩 및 제 2 칩과 상기 히트 스프레더를 상호 연결함으로써, 상기 제 1 칩 및

제 2 칩으로부터 발생되는 열을 상기 히트 스프레더로 전달하는 디스크 스프링으로 이루어진
열발산형 반도체 패키지 구조.

【도면】

【도 1】



【도 2】

